

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

This Page Blank (uspto)

PCT/JP99/05012

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

14.09.99

EKV

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1998年 9月17日

REC'D 29 OCT 1999

WIPO PCT

出願番号
Application Number:

平成10年特許願第262561号

出願人
Applicant(s):

株式会社日立製作所
ザ テクノロジー パートナーシップ パブリック リミテ
ッド カンパニー

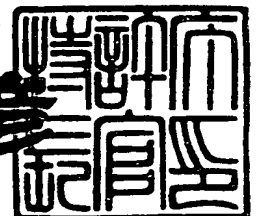
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

1999年10月15日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特平11-3069475

【書類名】	特許願
【整理番号】	H98019241
【提出日】	平成10年 9月17日
【あて先】	特許庁長官殿
【国際特許分類】	H03L 7/06 H04B 1/38
【発明の名称】	P L L回路およびそれを用いた無線通信端末機器
【請求項の数】	14
【発明者】	
【住所又は居所】	東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
【氏名】	山脇 大造
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
【氏名】	遠藤 武文
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
【氏名】	渡辺 一雄
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
【氏名】	堀 和明
【発明者】	
【住所又は居所】	イギリス国 ハートフォードシャー SG8 6EEロ イストン メルボーン ケンブリッジロード メルボ ンサイエンスパーク（番地なし） ザ テクノロジー パートナーシップ パブリック リミテッドカンパニー

内

【氏名】 ジュリアン ヒルダースリー

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 597013803

【氏名又は名称】 ザ テクノロジー パートナーシップ パブリック リ
ミテッド カンパニー

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL回路およびそれを用いた無線通信端末機器

【特許請求の範囲】

【請求項1】 第1の入力信号と第2の入力信号との位相差に比例した信号を出力し、位相差利得が可変である可変利得位相比較器と、該可変利得位相比較器の出力端に接続された低域通過フィルタと、該低域通過フィルタの出力端に接続された複数のVCOと、該複数のVCOの出力端にそれぞれ1個接続された複数のカプラと、該複数のカプラの出力端に接続され前記複数のカプラの出力信号の加算信号の周波数を周波数変換し前記第2の信号を出力する周波数変換器と、前記複数のVCOの動作のオンオフを制御する制御回路とを有することを特徴とするPLL回路。

【請求項2】 請求項1記載のPLL回路において、前記周波数変換器は、2つの入力をもつミキサ回路からなり、一方の入力に前記複数のカプラの出力信号の加算信号を入力し、他方の入力に局発信号を入力し、前記ミキサ回路の出力を前記可変利得位相比較器に入力することを特徴とするPLL回路。

【請求項3】 請求項1記載のPLL回路において、前記周波数変換器は、分周回路からなり、前記複数のカプラの出力信号の加算信号を入力し、前記分周回路の出力を前記可変利得位相比較器に入力することを特徴とするPLL回路。

【請求項4】 請求項1記載のPLL回路において、前記可変利得位相比較器を前記第2の信号振幅により位相差変換利得が変化する位相比較器に置き換え、該位相比較器と前記周波数変換器との間に利得可変の可変利得増幅器を挿入することを特徴とするPLL回路。

【請求項5】 請求項4記載のPLL回路において、前記周波数変換器は、2つの入力をもつミキサ回路からなり、一方の入力に前記複数のカプラの出力信号の加算信号を入力し、他方の入力に局発信号を入力し、前記ミキサ回路の出力を前記可変利得増幅器を介して前記位相比較器に入力することを特徴とするPLL回路。

【請求項 6】 請求項 4 記載の PLL 回路において、前記周波数変換器は、分周回路からなり、前記複数個のカプラの出力信号の加算信号を入力し、前記分周回路の出力を前記可変利得増幅器を介して前記位相比較器に入力することを特徴とする PLL 回路。

【請求項 7】 請求項 1 記載の PLL 回路において、前記周波数変換器と前記可変利得位相比較器との間、または前記可変利得位相比較器の第 1 の入力に複数個の並列接続された低域通過フィルタを接続し、前記並列接続された低域通過フィルタの動作のオンオフを制御する制御回路を有することを特徴とする PLL 回路。

【請求項 8】 請求項 7 記載の PLL 回路において、前記周波数変換器は、2 つの入力をもつミキサ回路からなり、一方の入力に前記複数個のカプラの出力信号の加算信号を入力し、他方の入力に局発信号を入力し、前記ミキサ回路の出力を前記可変利得位相比較器に入力することを特徴とする PLL 回路。

【請求項 9】 請求項 7 記載の PLL 回路において、前記周波数変換器は、分周回路からなり、前記複数個のカプラの出力信号の加算信号を入力し、前記分周回路の出力を前記可変利得位相比較器に入力することを特徴とする PLL 回路。

【請求項 10】 請求項 2, 3, 8 または 9 記載の PLL 回路において、前記可変利得位相比較器は、ギルバート乗算器と、第 1, 第 2, 第 3, 第 4 のカレントミラー回路と、出力定電流値が可変の可変電流源とから構成され、前記可変電流源の出力電流を前記第 1 のカレントミラー回路に入力し、該第 1 のカレントミラー回路の出力電流を前記ギルバート乗算器のバイアス電流とし、前記第 1 の入力信号と前記第 2 の入力信号とをそれぞれ差動で前記ギルバート乗算器に入力し、前記ギルバート乗算器の差動出力電流である第 3 の信号および第 4 の信号をそれぞれ前記第 2 のカレントミラー回路および前記第 3 のカレントミラー回路に入力し、前記第 2 のカレントミラー回路の出力電流を前記第 4 のカレントミラー回路に入力し、前記第 4 のカレントミラー回路の出力電流と前記第 3 のカレントミラー回路の出力電流を加算し前記可変利得位相比較器の出力信号とすることを特徴とする PLL 回路。

【請求項 11】 請求項 10 記載の PLL 回路において、前記可変電流源は、複数個のカレントミラー回路と、複数個のスイッチと、制御回路と、基準電流発生回路とから構成され、前記制御回路の制御により前記複数個のカレントミラー回路のそれぞれの出力トランジスタのベースは該出力トランジスタのエミッタまたは前記出力トランジスタが含まれるカレントミラー回路の入力トランジスタのベースと接続され、前記基準電流発生回路の出力定電流を前記複数個のカレントミラー回路に入力し、前記複数個のカレントミラー回路の出力電流を加算し前記可変電流源の出力電流とすることを特徴とする PLL 回路。

【請求項 12】 請求項 5 または 6 記載の PLL 回路において、前記位相比較器を、請求項 10 記載の可変利得位相比較器における可変電流源を定電流出力の基準電流発生回路に置き換えたことを特徴とする位相比較器に置き換え、該位相比較器に入力される前記可変利得増幅器からの出力信号振幅が $k \cdot T/q$ より小さいことを特徴とする PLL 回路。

【請求項 13】 I, Q 信号が入力される直交変調器と該直交変調器の出力に接続された PLL 回路と該 PLL 回路の出力に接続された電力増幅器とからなる送信系と、I, Q 信号を出力する受信系と、アンテナと、該アンテナと前記送信系と前記受信系と接続するアンテナスイッチとを有する無線通信端末機器において、前記 PLL 回路が、請求項 1 から 12 の何れかに記載の PLL 回路からなることを特徴とする無線通信端末機器。

【請求項 14】 請求項 13 記載の無線通信端末機器において、音声を実アナログ信号として入力するマイクロホンと、該マイクロホンからのアナログ信号をデジタル信号に変換する第 1 の AD 変換器と、該第 1 の AD 変換器からのデジタル信号を処理する第 1 のデジタル信号処理部と、該第 1 のデジタル信号処理部からのデジタル信号を実アナログ信号に変換し、該アナログ信号を前記送信系に出力する第 1 の DA 変換器と、前記受信系からのアナログ信号を入力とし、該アナログ信号をデジタル信号に変換する第 2 の AD 変換器と、該第 2 の AD 変換器からのデジタル信号を処理する第 2 のデジタル信号処理部と、該第 2 のデジタル信号処理部からのデジタル信号を実アナログ信号に変換する第 2 の DA 変換器と、該第 2 の DA 変換器からのアナログ信号を音声として出力するスピーカとを有する

携帯電話からなることを特徴とする無線通信端末機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の動作周波数帯域で、IF（中間周波数）信号をRF（無線周波数）信号に変換するPLL回路およびそれを用いた無線通信端末機器に適用して有効な技術に関する。

【0002】

【従来の技術】

たとえば、本発明者が検討したところによれば、以下のとおりである。現在、世界中に数多くの移動体通信システムが存在している。そのため、複数のシステムを使用できる端末が必要となった。たとえば、動作周波数帯域は異なるが変調方式など類似点の多いGSM（Global System for Mobile communications）とDCS1800（Digital Cellular System 1800）が挙げられる。

【0003】

1つの動作周波数帯域において、IF信号をRF信号に変換するPLL回路が、John Wiley & Sons社出版の“Phase Lock Techniques”（ISBN 0-471-04294-3）10.3章に記されている。図9は、公知とされた技術ではないが、本発明者によって検討された、PLL回路を複数の動作周波数帯域で使用可能にした一例である。

【0004】

前記PLL回路は、位相比較器41と、ミキサ2と、 n 個（ n は2以上の自然数）の低域通過フィルタ（LPF）42-1～42- n と、 n 個の電圧制御発振器（VCO）4-1～4- n と、 n 個のカプラ43-1～43- n と、VCO4-1～4- n の動作のオンオフを制御する制御回路6とから構成される。

【0005】

位相比較器41には2つの信号が入力される。第1の入力信号は、参照信号IFであり、第2の入力信号は、ミキサ2の出力信号である。位相比較器41において、前記参照信号IFとミキサ2の出力信号は位相比較され、位相差に比例し

た信号が出力される。位相比較器 41 の出力信号は、LPF 42-1 ~ 42-n に出力され、不要な雑音が除去され、VCO 4-1 ~ 4-n に入力される。制御回路 6 により、前記 n 個の VCO のうち希望の動作周波数帯域に応じて 1 個の VCO が動作し、その他はオフとなり信号を出力しない。VCO 4-1 ~ 4-n の出力周波数はそれぞれ $f_{VCO1} \sim f_{VCO n}$ であり、カプラ 43-1 ~ 43-n に入力される。このカプラにおいて、それぞれの入力信号は 2 つに分岐されて出力される。第 1 の出力は、前記 PLL 回路の出力信号となり、第 2 の出力はミキサ 2 に入力される。ミキサ 2 には 2 つの信号が入力され、第 1 の入力信号はカプラ 43-1 ~ 43-n の第 2 の出力信号である。ミキサ 2 の第 2 の入力には、周波数 f_{LO} である局発信号 RF-LO が入力される。ミキサ 2 の出力周波数は、2 つの入力周波数の差の絶対値であり、 $|f_{LO} - f_{VCO n}|$ となる。ミキサ 2 の出力信号は、位相比較器 41 の第 2 の入力信号となる。今、VCO 4-n が動作しているとする、前記 PLL 回路がロックした状態では、位相比較器 41 の 2 つの入力周波数は等しくなるため、 $f_{IF} = |f_{LO} - f_{VCO n}|$ となる。したがって、VCO 4-n の出力周波数 $f_{VCO n}$ は $|f_{LO} - f_{IF}|$ で与えられる。つまり、前記 PLL 回路への参照信号周波数 f_{IF} は、 $f_{VCO n} = |f_{LO} - f_{IF}|$ に変換される。

【0006】

前記 PLL 回路の動作を線形モデルを用いて解析する。VCO は、VCO 4-n が選択されているとする。位相比較器 41 の位相差変換利得を K_d 、VCO 4-n の感度を K_v とする。また、LPF 42-n にラグリードフィルタを用いるとすれば、この LPF 42-n の伝達関数 $F(s)$ は次式 (数 1) で与えられる。

【0007】

【数 1】

$$F(s) = \frac{1 + s \cdot C \cdot R_2}{1 + s \cdot C \cdot (R_1 + R_2)} \quad \dots (数 1)$$

【0008】

また、前記 PLL 回路の開ループ伝達関数 H_o は次式 (数 2) で与えられる。

【0009】

【数2】

$$H_o = K_d \cdot K_v \cdot F(s) \quad \dots (数2)$$

【0010】

前記 H_o の極 ω_p 、零 ω_z はそれぞれ次式(数3, 4)で与えられる。

【0011】

【数3】

$$\omega_p = \frac{1}{C \cdot (R_1 + R_2)} \quad \dots (数3)$$

【0012】

【数4】

$$\omega_z = \frac{1}{C \cdot R_2} \quad \dots (数4)$$

【0013】

前記 ω_p および前記 ω_z がともに前記PLL回路のループ帯域 K よりも小さい時、このループ帯域 K は次式(数5)で与えられる。

【0014】

【数5】

$$K = K_d \cdot K_v \cdot \frac{R_2}{R_1 + R_2} \quad \dots (数5)$$

【0015】

したがって、前記 K は、前記 K_d 、前記 K_v およびLPF42-nの伝達関数 $F(s)$ によって決まる。前記 K_d は定数であるが、前記 K_v は一般に動作周波数帯域によって異なる。したがって、前記 K_v に応じてLPF42-1~42-nの特性を設計しなければならない。

【0016】

【発明が解決しようとする課題】

ところで、前述のようなPLL回路について、本発明者が検討した結果、以下

のようなことが明らかとなった。前述のPLL回路は、複数の動作周波数帯域に用いるためにn個のLPFを使用する必要がある。一般に、位相比較器はIC内蔵でLPFはICの外付けであるから、外付け部品点数が増加して端末の実装を複雑化し、実装面積が増大することが問題である。また、n個のLPFを使用する場合、n本のピンがICに必要で、ピン数の増大が問題である。さらに、n個のLPFそれぞれに対して設計を行わなくてはならず、設計が複雑化する問題がある。

【0017】

そこで、本発明の目的は、前述のPLL回路でn個必要だったLPFを1個に削減することで、実装面積およびピン数を減らし、設計を簡略化することができるPLL回路およびそれを用いた無線通信端末機器を提供するものである。

【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】

すなわち、上記目的を達成するために、本発明のPLL回路は、第1の入力信号と第2の入力信号との位相差に比例した信号を出力し位相差変換利得が可変である可変利得位相比較器と、この可変利得位相比較器の出力端に接続されたLPFと、このLPFの出力端に接続されたn個のVCOと、このVCOの出力端にそれぞれ1個接続された計n個のカプラと、このn個のカプラの出力端に接続され前記n個のカプラの出力信号の加算信号の周波数を周波数変換し前記第2の信号を出力する周波数変換器と、前記n個のVCOの動作のオンオフを制御する制御回路とを有するものである。

【0021】

また、上記目的を達成するための他の構成として、前記PLL回路において、

前記可変利得位相比較器を前記第 2 の信号振幅により前記位相差変換利得が変化する位相比較器に置き換え、この位相比較器と前記周波数変換器の間に利得可変の可変利得増幅器を挿入するものである。

【0022】

さらに、前記 PLL 回路の出力雑音を抑圧するために、前記 PLL 回路において、前記周波数変換器と前記可変利得位相比較器の間、または前記可変利得位相比較器の第 1 の入力に m 個 (m は自然数) の並列接続された LPF を接続し、前記並列接続された LPF の動作のオンオフを制御回路により制御するものである。

【0023】

また、本発明の無線通信端末機器は、I、Q 信号が入力される直交変調器と、この直交変調器の出力に接続された PLL 回路と、この PLL 回路の出力に接続された電力増幅器とからなる送信系と、I、Q 信号を出力する受信系と、アンテナと、このアンテナと前記送信系と前記受信系が接続するアンテナスイッチとを有する無線通信端末機器において、前記 PLL 回路が、前述のような PLL 回路からなることを特徴とするものである。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0025】

(実施の形態 1)

図 1 は、本発明の PLL 回路の実施の形態 1 を示した構成図である。

【0026】

本発明に係る PLL 回路は、一例として、可変利得位相比較器 1 と、ミキサ 2 と、LPF 3 と、 n 個の VCO 4-1 ~ 4- n と、 n 個のカプラ 5-1 ~ 5- n と、前記 VCO の動作のオンオフを制御する制御回路 6 とから構成される。

【0027】

可変利得位相比較器 1 には 2 つの信号が入力される。第 1 の入力信号は、周波数が f_{IF} である参照信号 IF であり、第 2 の入力信号は、ミキサ 2 の出力信号である。可変利得位相比較器 1 において、前記参照信号 IF とミキサ 2 の出力信号は位相比較され、位相差に比例した信号が出力される。LPF 3 において、可変利得位相比較器 1 の出力信号は不要な雑音を除去され、 $VCO4-1 \sim 4-n$ に入力される。 $VCO4-1 \sim 4-n$ の出力信号はそれぞれカプラ $5-1 \sim 5-n$ のうちの 1 個のカプラに入力される。制御回路 6 により、希望の動作周波数帯域に応じて、 $VCO4-1 \sim 4-n$ のうち 1 個が動作し、その他はオフとなり信号を出力しない。カプラ $5-1 \sim 5-n$ は、入力信号を分岐しそれぞれ 2 つのポートから信号を出力する。カプラ $5-1 \sim 5-n$ の第 1 の出力信号は、前記 PLL 回路の出力信号となり、第 2 の出力信号は、ミキサ 2 に入力される。ミキサ 2 には 2 つの信号が入力され、第 1 の入力信号はカプラ $5-1 \sim 5-n$ の第 2 の出力信号である。ミキサ 2 の第 2 の入力には、周波数 f_{LO} の局発信号 $RF-LO$ が入力される。今、 $VCO4-n$ が動作しているとする、ミキサ 2 の出力周波数は、第 1 と第 2 の入力信号の周波数差の絶対値であり、 $|f_{LO} - f_{VCO_n}|$ となる。ミキサ 2 の出力信号は、可変利得位相比較器 1 の第 2 の入力信号となる。前記 PLL 回路がロックした状態では、可変利得位相比較器 1 の 2 つの入力周波数は等しくなるため、 $f_{IF} = |f_{LO} - f_{VCO_n}|$ となる。したがって、前記 $VCO4-n$ の出力周波数 f_{VCO_n} は $|f_{LO} - f_{IF}|$ で与えられる。つまり、前記 PLL 回路への前記参照信号周波数 f_{IF} は、 $f_{VCO_n} = |f_{LO} - f_{IF}|$ に変換される。

【0028】

前記 PLL 回路の動作の線形モデルによる解析は、前述した図 9 での解析と同様である。前記式 (数 5) において、前記 PLL 回路では 1 つの LPF 3 を用いるため、 R_1 および R_2 は一定である。前記ループ帯域 K は前記位相差変換利得 K_d と、前記 $VCO4-n$ の感度 K_v の積で決まる。したがって、 $VCO4-1 \sim 4-n$ の感度に応じて、前記 K_d を変えれば、1 個の LPF のみで前記ループ帯域 K の最適化が可能となる。

【0029】

可変利得位相比較器 1 の一例を図 2 に示す。

【0030】

可変利得位相比較器 1 は、14 個のトランジスタ Q1～Q14 と、出力電流 I_{REF} が可変の可変電流源 7 とから構成される。トランジスタ Q1～Q14 は、バイポーラを用いている。8 はギルバート乗算器で、その詳細は培風館社出版「超 LSI のためのアナログ集積回路設計技術（下）」10.3 章に記されている。ギルバート乗算器 8 の第 1 の入力 1 には差動信号 V_{REF+} と V_{REF-} が入力され、第 2 の入力 2 には差動信号 V_{IF+} と V_{IF-} が入力される。ギルバート乗算器 8 において、前記 2 つの差動信号が乗算され、差動電流 I₁ と I₂ が出力される。ギルバート乗算器 8 の 2 つの入力信号の振幅が大きく、トランジスタ Q1～Q6 がスイッチング動作を行っている場合、トランジスタ Q8 のコレクタ電流を I₃ とすると、前記 2 つの入力信号の位相差 Φ とギルバート乗算器 8 の出力差動電流 (I₂ - I₁) は次式 (数 6) で与えられる。

【0031】

【数 6】

$$I_2 - I_1 = I_3 \cdot \left(\frac{2 \cdot \Phi}{\pi} - 1 \right) \quad \dots (数 6)$$

【0032】

トランジスタ Q7, Q8 はカレントミラー回路で、カレントミラー比を a とすると、I₃ = a · I_{REF} となる。トランジスタ Q9, Q10 はカレントミラー回路で、カレントミラー比を b とすると、I₄ = b · I₁ となる。トランジスタ Q11, Q12 からなるカレントミラー回路のカレントミラー比もまた b とすると、I₅ = b · I₂ となる。トランジスタ Q13, Q14 はカレントミラー回路で、カレントミラー比を 1 とすると、I₆ = I₄ となる。可変利得位相比較器 1 の出力電流 (I₅ - I₆) は次式 (数 7) で与えられる。

【0033】

【数7】

$$I5 - I6 = a \cdot b \cdot IREF \cdot \left(\frac{2 \cdot \Phi}{\pi} - 1 \right) \quad \dots (数7)$$

【0034】

したがって、可変利得位相比較器1の位相差変換利得Kdは次式(数8)で与えられる。

【0035】

【数8】

$$Kd = \frac{2 \cdot a \cdot b \cdot IREF}{\pi} \quad \dots (数8)$$

【0036】

a, bは定数であるから、前記位相差変換利得KdはIREFに比例する。したがって、IREFを変えることで、Kdを可変にできる。

【0037】

可変電流源7の一例として、電流値が1:2の2種類の定電流を供給できる回路を図3に示す。

【0038】

前記可変電流源7は、トランジスタQ15~Q18と、定電流を出力する基準電流発生回路9と、スイッチS1, S2と、スイッチS1, S2を制御する制御回路10とから構成される。前記トランジスタQ15~Q18は、いずれも同じサイズである。また、トランジスタQ15~Q18にはバイポーラを用いている。スイッチS1により、トランジスタQ16のベースはトランジスタQ16のエミッタまたはトランジスタQ15のベースと接続される。スイッチS2により、トランジスタQ17のベースはトランジスタQ17のエミッタまたはトランジスタQ15のベースと、トランジスタQ18のベースはトランジスタQ18のエミッタまたはトランジスタQ15のベースと接続される。トランジスタQ16~Q18は、それぞれトランジスタQ15とカレントミラー回路を構成している。トランジスタQ15は、基準電流発生回路9から電流が入力されるので、前記カレ

ントミラー回路における入力トランジスタと呼び、トランジスタQ16～Q18は、コレクタから電流を出力するので、前記カレントミラー回路における出力トランジスタと呼ぶことにする。基準電流発生回路9から供給される電流をI7とすると、トランジスタQ15～Q18は同じサイズであるから、トランジスタQ16～Q18のコレクタ電流はそれぞれI7になる。トランジスタQ16のベースがトランジスタQ15のベースに接続され、トランジスタQ17、Q18のベースがそれぞれトランジスタQ17のエミッタ、トランジスタQ18のエミッタに接続された場合、トランジスタQ17、Q18はベースエミッタ間電圧が0Vなのでコレクタ電流が流れない。したがって、IREFはトランジスタQ16のコレクタ電流に等しくI7となる。トランジスタQ16のベースがトランジスタQ16のエミッタに接続され、トランジスタQ17、Q18のベースがトランジスタQ15のベースと接続された場合、トランジスタQ16はベースエミッタ間電圧が0Vなのでコレクタ電流が流れない。したがって、IREFはトランジスタQ17、Q18のコレクタ電流の和に等しく $2 \cdot I7$ となる。

【0039】

以上のように、スイッチS1、S2の制御により、前記可変電流源7から電流値が1:2の2種類のIREFを出力することができる。

【0040】

従って、本実施の形態によれば、PLL回路の位相比較器に、位相差変換利得が可変の可変利得位相比較器1を用いることにより、所望動作周波数帯域に応じて1個が動作する、VCO4-1～4-nの感度に応じて位相差変換利得を変えて、PLL回路に必要なLPF3を1個に削減することができるので、位相比較器が内蔵されるICのピン数の削減、PLL回路の設計の簡略化が実現できる。

【0041】

(実施の形態2)

次に、本発明に係るPLL回路の実施の形態2を説明する。

【0042】

図4は、本発明のPLL回路の実施の形態2を示した構成図である。

【0043】

本実施の形態2のPLL回路は、一例として、前記実施の形態1における、可変利得位相比較器1を入力振幅によって利得が変化する位相比較器11に置き換え、ミキサ2と位相比較器11の間に可変利得増幅器12を挿入したことを特徴とする回路である。VCO4-1~4-nの感度に応じて可変利得増幅器12の利得を制御し、位相比較器11への入力振幅を変え位相比較器11の利得を変化させることで、前記PLL回路のループ帯域を最適化することができる。

【0044】

位相比較器11の一例を図5に示す。

【0045】

本実施の形態2の位相比較器11は、前記図2における可変電流源7を定電流IREFを出力する基準電流発生回路13に置き換えたことを特徴とする回路である。トランジスタQ1~Q14は、バイポーラを用いている。

【0046】

前記位相比較器11の動作の詳細は、たとえばMr. A. Bilottiによる“Applications of a Monolithic Analog Multiplier,” IEEE J. Solid-State Circuits, vol. SC-3, pp. 373-380, Dec. 1968に記されている。この文献によれば、前記位相比較器11の利得を入力振幅によって変化させるには、以下の2通りの方法がある。

【0047】

1. 入力1, 2の振幅を $k \cdot T/q$ より小さくして、トランジスタQ1~Q6がスイッチング動作しないようにする。

【0048】

2. 入力1, 2の一方の振幅は、トランジスタQ1~Q6にスイッチング動作させるため $k \cdot T/q$ より大きくし、他方の振幅はトランジスタQ1~Q6にスイッチング動作させないために $k \cdot T/q$ より小さくする。ただし、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷である。

【0049】

従って、本実施の形態によれば、 $VCO4-1 \sim 4-n$ の感度に応じて可変利得増幅器12の利得を制御し、位相比較器11の利得を変化させることで、前記実施の形態1と同様にPLL回路に必要なLPF3を1個に削減することができるので、位相比較器11が内蔵されるICのピン数の削減、PLL回路の設計の簡略化が実現できる。

【0050】

(実施の形態3)

次に、本発明に係るPLL回路の実施の形態3を説明する。

【0051】

図6は、本発明のPLL回路の実施の形態3を示した構成図である。

【0052】

本実施の形態3のPLL回路は、一例として、前記実施の形態1における、可変利得位相比較器1とミキサ2の間にLPF16-1~16-mの並列接続したものを挿入し、可変利得位相比較器1の第1の入力にLPF15-1~15-mの並列接続したものを接続し、制御回路6を $VCO4-1 \sim 4-n$ 、LPF15-1~15-mおよびLPF16-1~16-mの動作のオンオフを制御する制御回路14に置き換えたことを特徴とする回路である。

【0053】

LPF15-1~15-mとLPF16-1~16-mは、可変利得位相比較器1に入力される雑音を除去するために用いられる。また、参照信号IFには、m通りの周波数 f_{IF} が用いられる。制御回路14により、LPF15-1~15-mの中からそれぞれの f_{IF} に最適なカットオフ周波数をもつLPFが1つ選択される。LPF16-1~16-mについても、同様に最適なものが1つ選択される。

【0054】

次に、本発明に係るPLL回路を用いた無線通信端末機器の例を説明する。

【0055】

図7は、本発明のPLL回路を用いた無線通信端末機器の一例を示した構成図

である。

【0056】

本発明に係る無線通信端末機器は、直交変調器17と、前記PLL回路18と、電力増幅器19とから構成される送信系23と、アンテナスイッチ20と、アンテナ21と、受信系22とから構成される。

【0057】

直交変調器17において、IF信号はI、Q信号により変調される。直交変調器17の出力信号はPLL回路18に参照信号として入力される。PLL回路18には、前記参照信号とRF-LO信号が入力され、周波数 $f_{VCO1} \sim f_{VCO_n}$ のうち1つが出力信号周波数として出力される。PLL回路18の出力信号は、電力増幅器19においてその電力を増幅し、アンテナスイッチ20を通してアンテナ21から送信される。アンテナスイッチ20により、送信時にはアンテナ21と送信系23のみが接続され、受信時にはアンテナ21と受信系22のみが接続される。アンテナ21で受信された信号は、アンテナスイッチ20を通して受信系22に入力され、復調が行われ、I、Q信号が出力される。

【0058】

次に、本発明に係る無線通信端末機器の具体例を説明する。

【0059】

図8は、本発明の無線通信端末機器として、携帯電話の一例を示した構成図である。

【0060】

本発明に係る携帯電話は、一例として、たとえば2通りの周波数帯域（通信方式）を使用する場合の回路構成とされ、マイクロホン24と、送信側のAD変換器25と、送受信に共通のデジタル信号処理部26と、送信側のDA変換器27と、前記送信系23と、前記アンテナスイッチ20と、前記受信系22と、受信側のAD変換器28と、受信側のDA変換器29と、スピーカー30とから構成される。

【0061】

送信系23には、2通りの周波数帯域に対応して2つの電力増幅器19-1、

19-2が備えられ、PLL回路18から出力されたそれぞれの周波数 f_{VCO1} または f_{VCO2} の信号は、それぞれの電力増幅器19-1, 19-2においてその電力が増幅されて出力される。これらの2つの電力増幅器19-1, 19-2は、前記電力増幅器19と同様の機能を持ち、また局発信号1 (IF)が入力される直交変調器17、局発信号2 (RF-LO)が入力されるPLL回路18も前記と同様である。

【0062】

受信系22には、2通りの周波数帯域に対応して、2つずつの帯域通過フィルタ31-1, 31-2、LNA32-1, 32-2、帯域通過フィルタ33-1, 33-2および、局発信号3a, 3bが入力されるミキサ34-1, 34-2と、ミキシング後の共通の帯域通過フィルタ35、局発信号4が入力されるミキサ36、帯域通過フィルタ37、可変利得増幅器38および、局発信号5が入力される直交復調器39とが備えられている。

【0063】

前記受信系22において、それぞれのミキサ34-1, 34-2, 36は2つの入力信号を掛け合わせた結果を出力し、これにより周波数変換が可能となる。それぞれのミキサ34-1, 34-2, 36に入力される局発信号は、PLLシンセサイザから出力される周波数が安定な信号であり、このPLLシンセサイザは参照信号として水晶発振器の出力信号を用いることで出力周波数が安定化する。帯域通過フィルタ31-1, 31-2, 33-1, 33-2, 35, 37は、ある特定の周波数帯域だけを通過させるフィルタで、通常、帯域通過フィルタ31-1, 31-2には誘電体フィルタ、帯域通過フィルタ33-1, 33-2, 35にはSAWフィルタ、帯域通過フィルタ37にはLCフィルタが使用される。可変利得増幅器38は、デジタル信号処理部26からの制御信号により利得を変える増幅器であり、アナログ型とデジタル型がある。LNA32-1, 32-2は、雑音の少ない増幅器であり、通常、トランジスタ1個とバイアス回路で構成される。

【0064】

前記携帯電話において、送信時には、音声マイクロホン24を通して入力さ

れ、このマイクロホン 24 からのアナログ信号を A/D 変換器 25 によりデジタル信号に変換し、このデジタル信号をデジタル信号処理部 26 において処理し、さらにデジタル信号処理部 26 からデジタル信号を D/A 変換器 27 によりアナログ信号に変換し、このアナログ信号が送信系 23 に出力される。そして、送信系 23 において、前記と同様の動作を行い、電力増幅器 19-1 または電力増幅器 19-2 の一方において増幅された信号は、アンテナスイッチ 20 を通ってアンテナ 21 から送信される。

【0065】

また、受信時には、アンテナ 21 で受信された信号がアンテナスイッチ 20 を通して受信系 22 に入力され、帯域通過フィルタ 31-1、LNA 32-1、帯域通過フィルタ 33-1、ミキサ 34-1 による経路、または帯域通過フィルタ 31-2、LNA 32-2、帯域通過フィルタ 33-2、ミキサ 34-2 による経路を経て、さらに帯域通過フィルタ 35、ミキサ 36、帯域通過フィルタ 37 によるフィルタリング、増幅、ミキシングを繰り返し、可変利得増幅器 38 および直交復調器 39 を通して復調を行い、受信系 22 から I、Q 信号が出力される。そして、この受信系 22 からアナログ信号を入力とし、このアナログ信号を A/D 変換器 28 によりデジタル信号に変換し、このデジタル信号をデジタル信号処理部 26 において処理し、デジタル信号処理部 26 からデジタル信号を D/A 変換器 29 によりアナログ信号に変換し、このアナログ信号がスピーカ 30 を通して音声として出力される。

【0066】

従って、本実施の形態によれば、PLL 回路の位相比較器として可変利得位相比較器 1 を用いることにより、所望動作周波数帯域に応じて 1 個が動作する、VCO 4-1~4-n の感度に応じて位相差変換利得を変えることで、前記実施の形態 1 と同様に PLL 回路に必要な LPF 3 を 1 個に削減することができるので、位相比較器が内蔵される IC のピン数の削減、PLL 回路の設計の簡略化が実現できる。さらに、LPF 15-1~15-m, 16-1~16-m により、可変利得位相比較器 1 に入力される雑音を除去することができる。この PLL 回路を携帯電話などの無線通信端末機器に用いた場合には、無線通信端末機器の実装

面積を低減することができる。

【0067】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0068】

たとえば、前記実施の形態においては、PLL回路の周波数変換器が2つの入力をもつミキサ回路から構成される場合について説明したが、ミキサ回路に代えて分周回路から構成することも可能であり、この場合にはカブラの出力信号の加算信号を入力として、その出力が可変利得位相比較器に入力される。

【0069】

また、前記図2、3および5における回路要素のトランジスタにバイポーラを用いた場合について説明したが、他の種類のトランジスタ、たとえばMOSFETを用いても同様の機能を実現することができる。

【0070】

さらに、前記図8に示す携帯電話においては、2通りの周波数帯域を使用する場合の回路構成について示したが、電力増幅器、帯域通過フィルタ、LNA、ミキサなどを並列的に接続することにより、さらに多くの周波数帯域を使用する回路構成とすることも可能である。

【0071】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0072】

本発明によれば、IF信号をRF信号に変換するPLL回路において、複数の動作周波数帯域で使用するときに必要なLPFを1個だけにすることができるので、実装面積の低減、位相比較器が内蔵されるICのピン数削減、PLL回路の設計の簡略化が行えるという効果がある。この結果、PLL回路を用いた携帯電話などの無線通信端末機器の実装面積を低減することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の PLL 回路の実施の形態 1 を示す図である。

【図 2】

本発明の PLL 回路の実施の形態 1 において、可変利得位相比較器の一例を示す図である。

【図 3】

本発明の PLL 回路の実施の形態 1 において、可変電流源の一例を示す図である。

【図 4】

本発明の PLL 回路の実施の形態 2 を示す図である。

【図 5】

本発明の PLL 回路の実施の形態 2 において、入力振幅によって利得を変えることのできる位相比較器の一例を示す図である。

【図 6】

本発明の PLL 回路の実施の形態 3 を示す図である。

【図 7】

本発明の PLL 回路を用いた無線通信端末機器の一例を示す図である。

【図 8】

本発明の PLL 回路を用いた無線通信端末機器として、携帯電話の一例を示す図である。

【図 9】

本発明の前提となる PLL 回路を示す図である。

【符号の説明】

- 1 可変利得位相比較器
- 2 ミキサ
- 3 LPF
- 4-1~4-n VCO
- 5-1~5-n カプラ

- 6 制御回路
- 7 可変電流源
- 8 ギルバート乗算器
- 9 基準電流発生回路
- 10 制御回路
- 11 位相比較器
- 12 可変利得増幅器
- 13 基準電流発生回路
- 14 制御回路
- 15-1~15-m LPF
- 16-1~16-m LPF
- 17 直交変調器
- 18 PLL回路
- 19, 19-1, 19-2 電力増幅器
- 20 アンテナスイッチ
- 21 アンテナ
- 22 受信系
- 23 送信系
- 24 マイクロホン
- 25 AD変換器
- 26 デジタル信号処理部
- 27 DA変換器
- 28 AD変換器

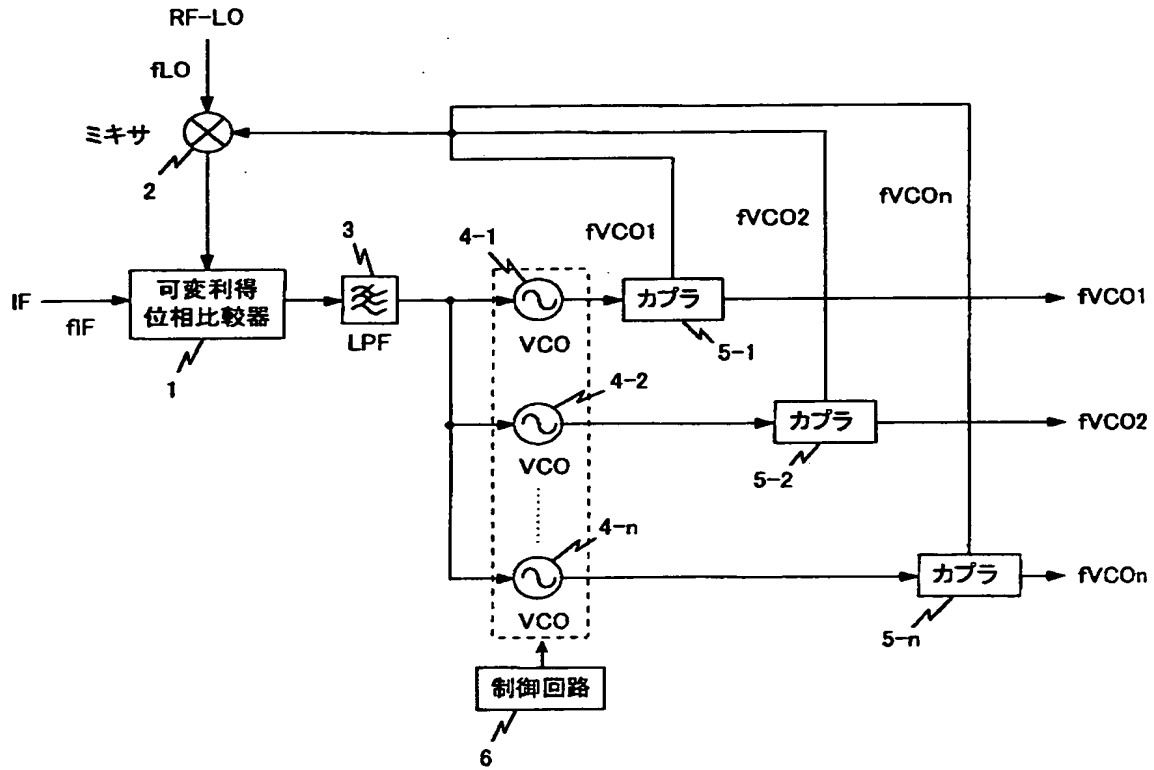
- 29 DA変換器
- 30 スピーカー
- 31-1, 31-2 帯域通過フィルタ
- 32-1, 32-2 LNA
- 33-1, 33-2 帯域通過フィルタ
- 34-1, 34-2 ミキサ

- 35 帯域通過フィルタ
- 36 ミキサ
- 37 帯域通過フィルタ
- 38 可変利得増幅器
- 39 直交復調器
- 41 位相比較器
- 42-1~42-n LPF
- 43-1~43-n カプラ

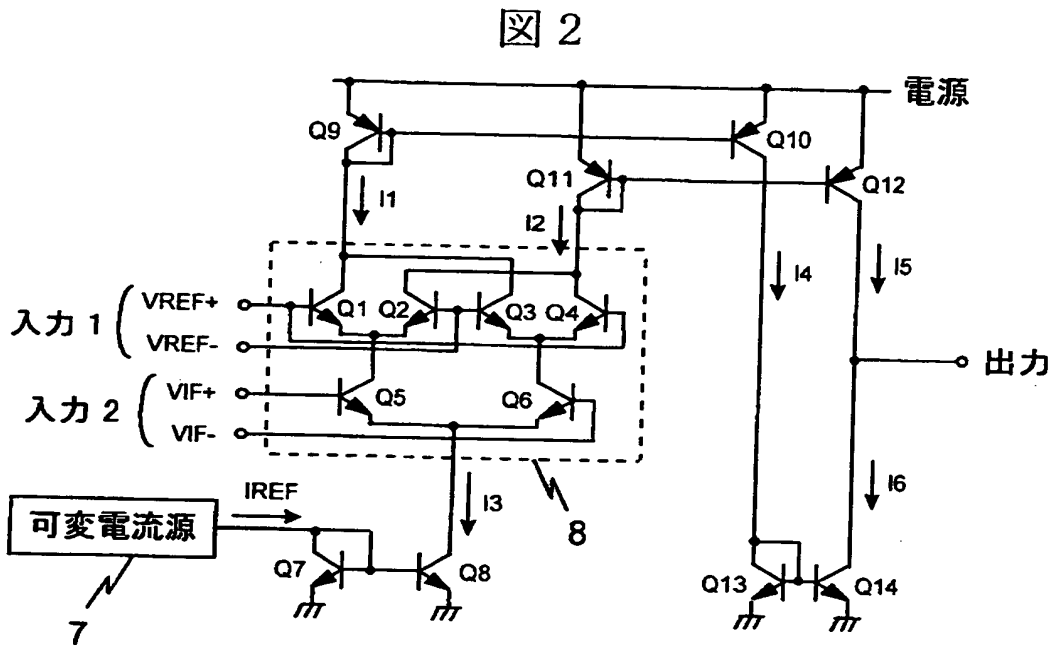
【書類名】 図面

【図 1】

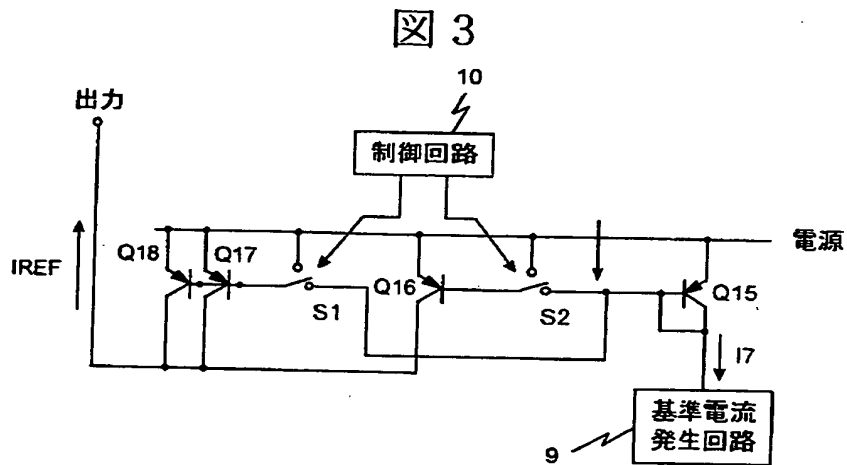
図 1



【図 2】

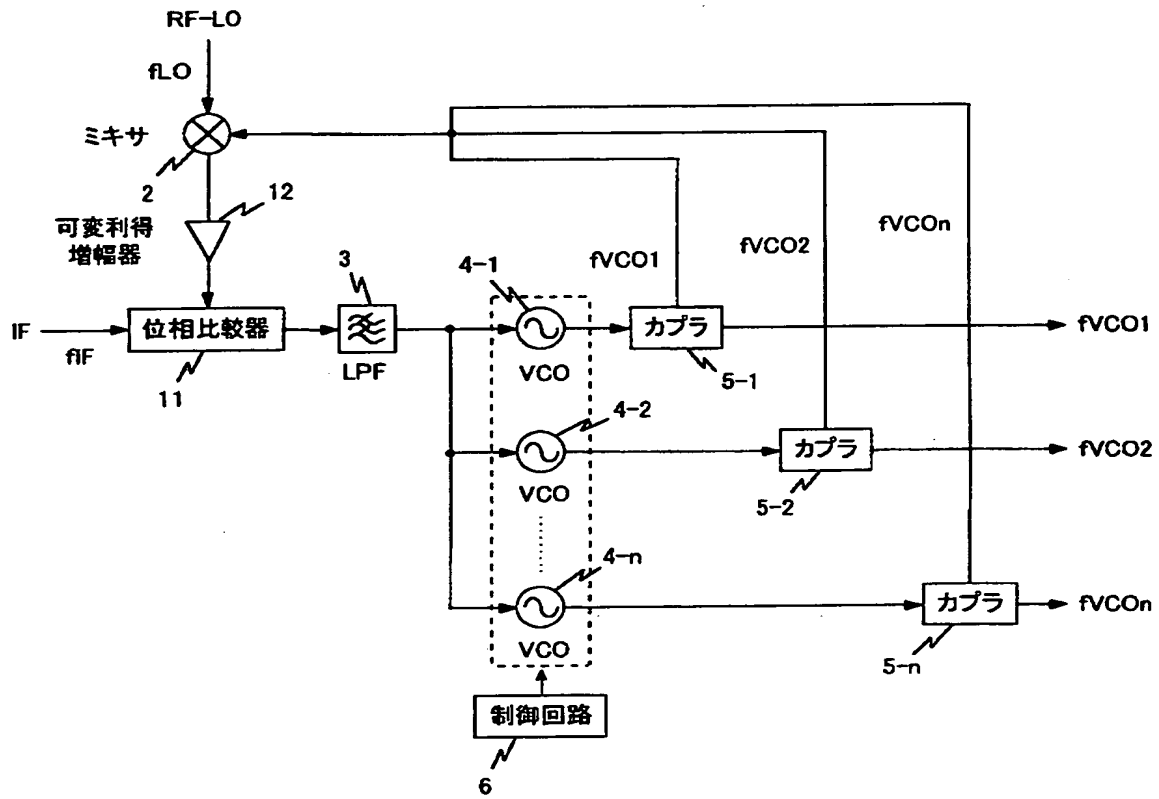


【図 3】



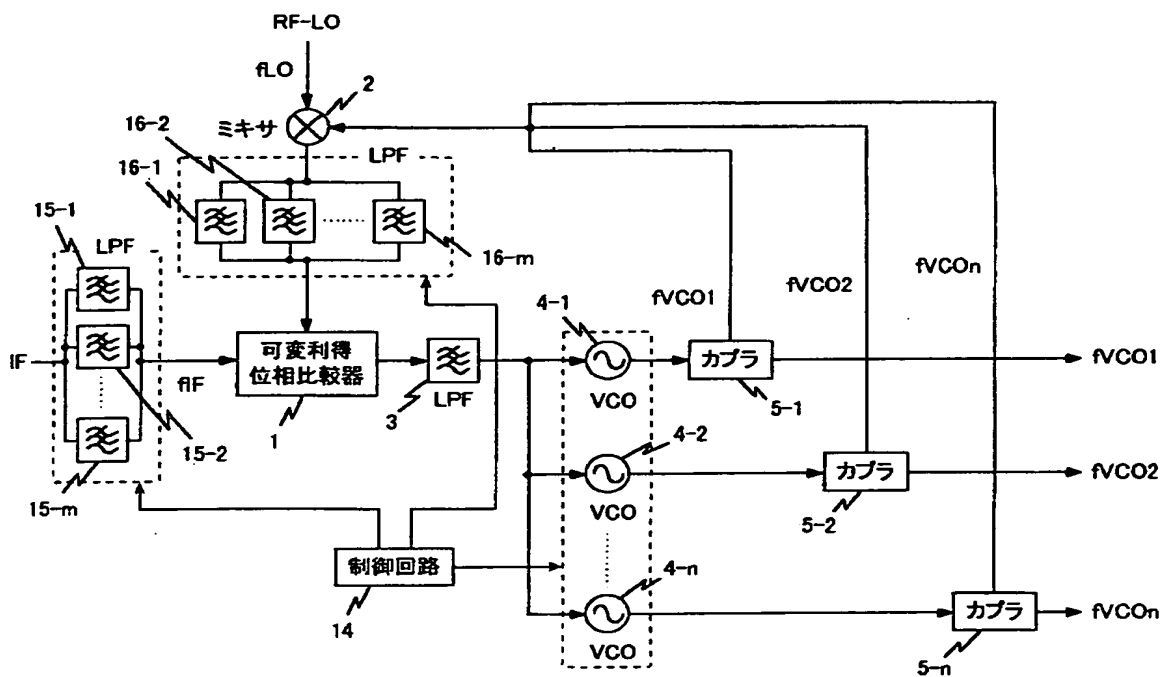
【図 4】

図 4



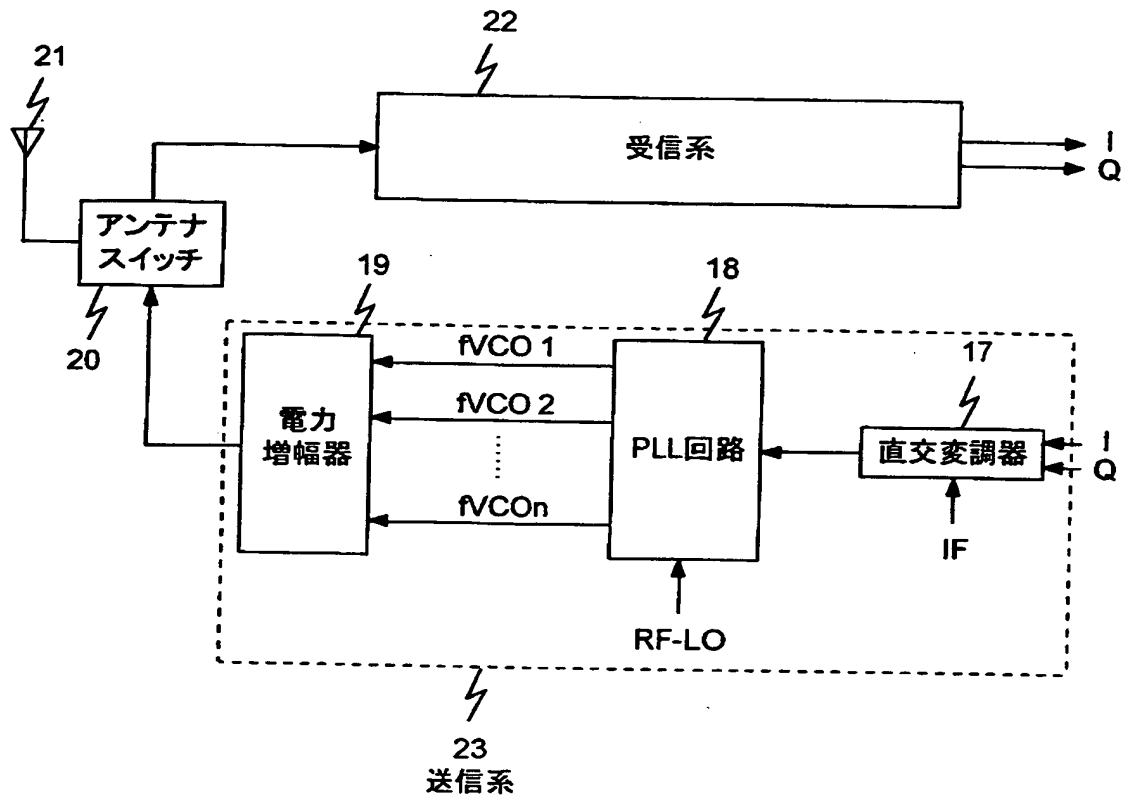
【図 6】

図 6

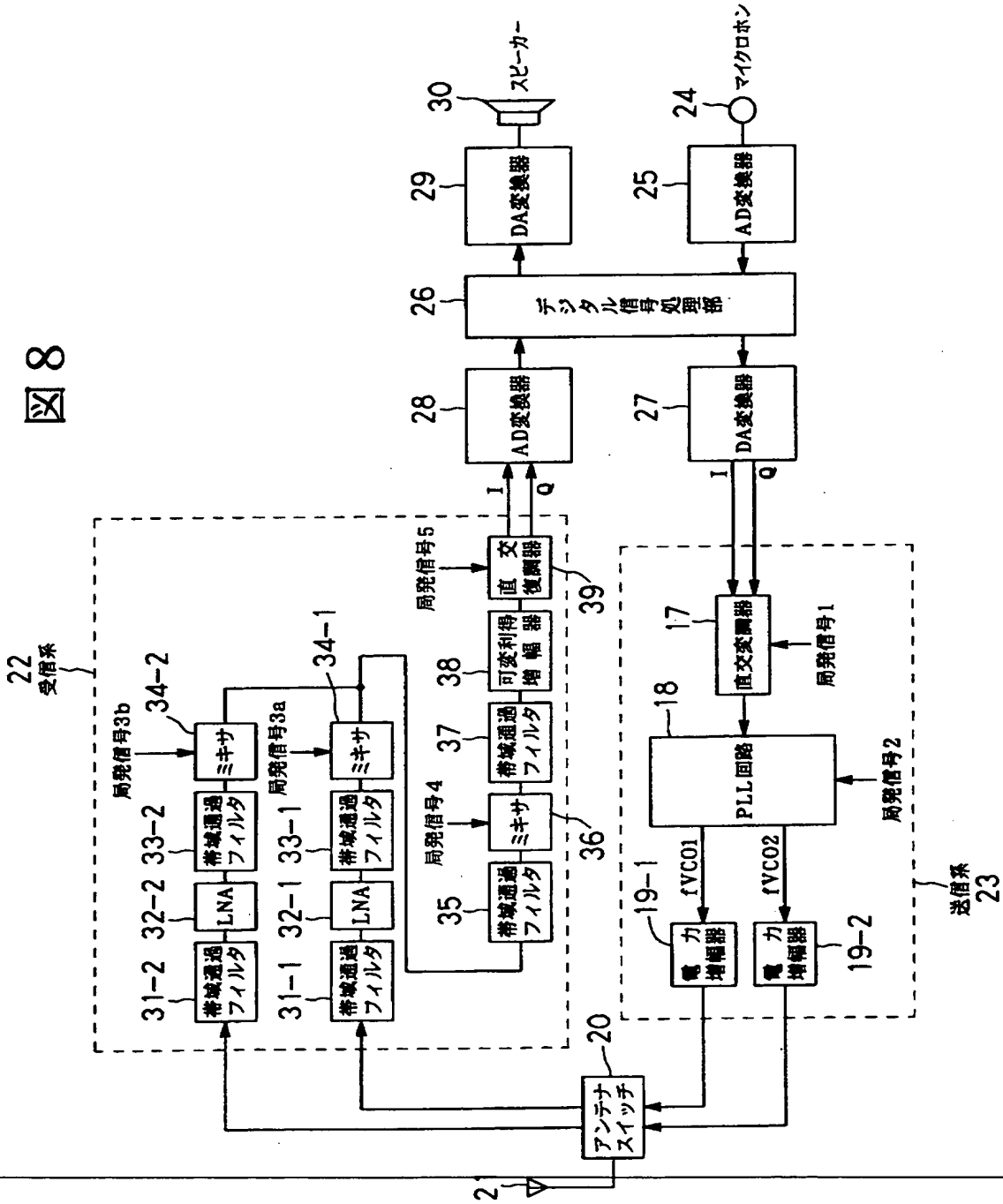


【図 7】

図 7

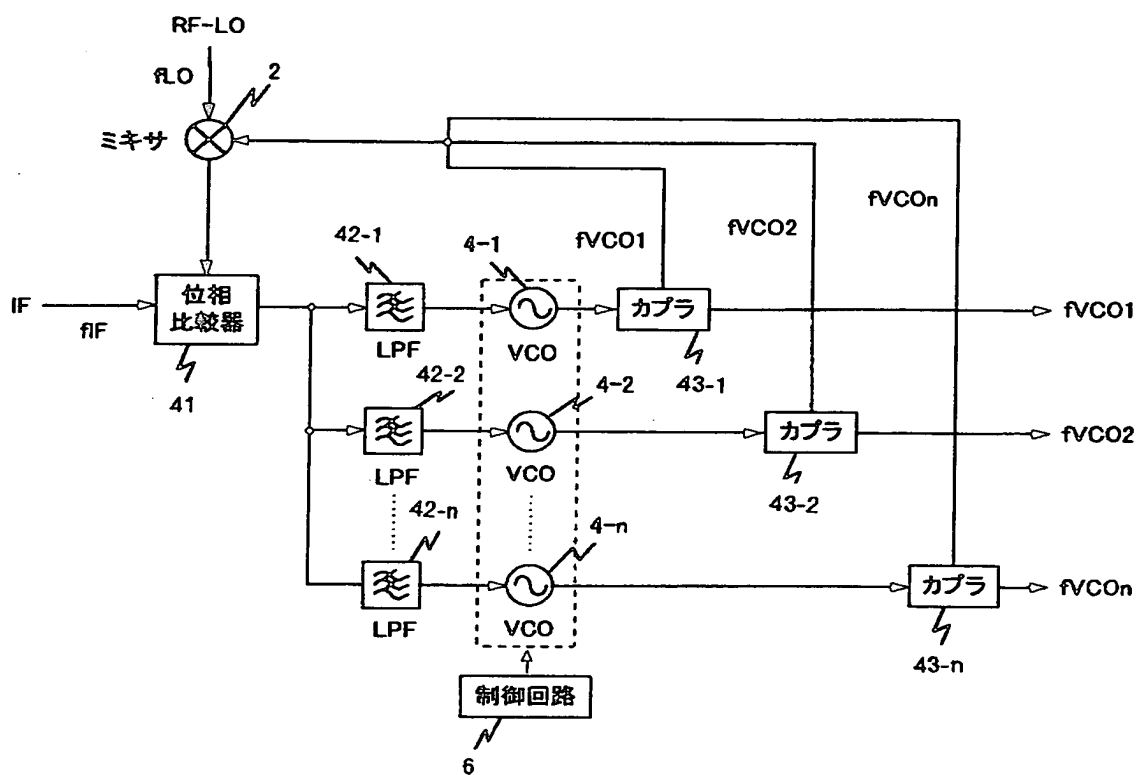


【図 8】



【図 9】

図 9



【書類名】 要約書

【要約】

【課題】 PLL回路で n 個必要だったLPFを1個に削減することで、実装面積およびピン数を減らし、設計を簡略化することができるPLL回路およびそれを用いた無線通信端末機器を提供する。

【解決手段】 本発明に係るPLL回路は、可変利得位相比較器1と、ミキサ2と、LPF3と、 n 個のVCO4-1～4- n と、 n 個のカプラ5-1～5- n と、前記VCOの動作のオンオフを制御する制御回路6とから構成され、位相比較器に、位相差変換利得が可変の可変利得位相比較器1を用いる。制御回路6によりVCO4-1～4- n の動作のオンオフが制御され、所望動作周波数帯域に応じてVCO4-1～4- n のうち1個が動作し、他のVCOはオフとなる。前記VCO4-1～4- n の感度に応じて位相差変換利得を変えることで、前記PLL回路に必要なLPFを1個に削減することができる。

【選択図】 図1

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108
 【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
 【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 597013803
 【住所又は居所】 イギリス国 ハートフォードシャー SG8 6E
 Eロイストン メルボーン ケンブリッジロード
 メルボーンサイエンスパーク（番地なし）
 【氏名又は名称】 ザ テクノロジー パートナーシップ パブリック
 リミテッド カンパニー

【代理人】

申請人
 【識別番号】 100080001
 【住所又は居所】 東京都新宿区西新宿7丁目22番45号 N. S.
 Excel 301 筒井国際特許事務所
 【氏名又は名称】 筒井 大和

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [597013803]

1. 変更年月日 1997年 4月15日

[変更理由] 名称変更

住 所 イギリス国 ハートフォードシャー SG8 6EEロイスト
ン メルボーン ケンブリッジロード メルボーンサイエンス
パーク (番地なし)

氏 名 ザ テクノロジー パートナーシップ パブリック リミテッ
ド カンパニー